

高速双面共面结构印刷电路板电特性仿真

蔡兴建,曹毅,毛军发,李征帆

(上海交通大学电子工程系,上海 200030)

摘要: 为了适应高速双面共面印刷电路板的不规则布线结构,本文采用三维电磁参数提取的部分元等效电路方法对任意形状接地/馈电板进行自动分割及单元建模,然后对包括 I/O 缓冲器在内的非线性电路进行时域信号响应分析.高速双面共面结构印刷电路板电特性的仿真与实际测试结果吻合较好,表明了方法的有效性.

关键词: 双面共面结构印刷电路板;部分元等效电路方法;自动分割

中图分类号: TN41 **文献标识码:** A **文章编号:** 0372-2112 (2001) 02-0287-02

Simulation of Electrical Performance for High-Speed Dual-Coplanar PCB

CAI Xing-jian, CAO Yi, MAO Jun-fa, LI Zheng-fan

(Dept. of Electronic Engineering, Shanghai Jiaotong Univ., Shanghai 200030, China)

Abstract: In order to accommodate to the irregular fabrication configuration, the 3D electromagnetic parameters extraction method of partial element equivalent circuit (PEEC) technology is used to model the cells of automatically partitioned ground/feeding plane with arbitrary shape. Then the response analysis in the time domain for the nonlinear circuit including I/O buffers is performed. The simulation result for a high-speed dual-coplanar PCB well fits the measured one, which indicates the validity of the proposed method.

Key words: dual-coplanar PCB; PEEC technology; automatically partition

1 引言

印刷电路板(PCB)技术在现代通信电子设备中大量地应用.传统PCB的基本形式为多层板,有专门的接地层和馈电层,并将布线层隔离开.近年来发展了双面共面结构的印刷板,即将信号线、馈电线/板和接地线/板共面做在介质板的两面,两面布线由通孔实现连接.这种双面板和传统的多层板相比,布线面积利用充分,结构更为紧凑,同时可明显降低生产成本,是一种有发展前途的PCB形式,正在移动通信等领域得到越来越广泛的应用.

为了对不规则结构的高速双面共面印刷电路板的电特性进行仿真,本文采用三维电磁参数提取的部分元等效电路(PEEC)方法^[1,2]对任意形状接地/馈电板进行自动分割并对分割后的单元建模,再用部分高斯消元方法(PME)^[3]对包括 I/O 缓冲器在内的非线性电路进行时域响应分析.最后,将高速双面共面结构印刷电路板电特性仿真结果与实际测试结果进行比较,其一致性表明了本文仿真方法的有效性,从而为高速双面 PCB 的设计与分析提供了一个有益工具.

2 方法原理

2.1 PEEC 方法

对整个双面 PCB 电路的建模选择部分元等效电路

(PEEC)模型,并以该模型生成的状态方程进行时域响应分析. PEEC 模型中等效电路的形式是由麦克斯韦方程导出的,在考虑了电磁作用传播中的时间延迟后,该模型可以完整描述电磁场的行为,因此相对一些只考虑结构单纯电效应或磁效应的模型具有更高的精度.

PEEC 的原理^[1]是将式:

$$-\frac{\partial}{\partial t}A(\mathbf{r},t) - \nabla(\phi(\mathbf{r},t)) = \mathbf{E}(\mathbf{r},t) \quad (1)$$

中的场量磁矢位 $A(\mathbf{r},t)$ 和电标位 $\phi(\mathbf{r},t)$ 用积分形式表示后得到:

$$\frac{1}{4\pi} \int_{V'} \frac{J(\mathbf{r}',t')}{|\mathbf{r}-\mathbf{r}'|} dv' + \sum_{k=1}^K \frac{1}{4} \int_{V_k} \frac{\tilde{K}(\mathbf{r},\mathbf{r}')}{|\mathbf{r}-\mathbf{r}'|} dv' \frac{\partial J_{nk}}{\partial t} + \sum_{k=1}^K \frac{1}{4} \int_{V_k} \frac{\partial}{\partial t} \left[\tilde{K}(\mathbf{r},\mathbf{r}') q(\mathbf{r}',t') ds' \right] dv' = 0 \quad (2)$$

其中 $\tilde{K}(\mathbf{r},\mathbf{r}') = \frac{1}{|\mathbf{r}-\mathbf{r}'|}$. 上式中 x, y, z 为导体数, N_k 为 k 导体在 l 方向上的分元数, k 和 l 表示支路 l 两端结点的序号.

利用部分电感的公式:

$$L_{pij} = \frac{\mu}{4} \frac{l_i \cdot l_j}{a_i a_j v_k v_l |\mathbf{r}-\mathbf{r}'|} dv_i dv_j, 1 \leq i, j \leq K \quad (3)$$

和标量电位的积分表达式就可由式(2)得:

$$\begin{cases} [L] \frac{d}{dt} [I] = [T][I] + [R][I] \\ \frac{d}{dt} [I] = - [P][T]^T [I] \end{cases} \quad (4)$$

上式中 $L_{ij} = L_{pj}$ 是各电感单元间的部分电感矩阵的元素, 每一节点上电位的电压系数 p_{ij} 的计算即是电容矩阵的提取^[2], $[T]$ 为表示支路节点关系的连接矩阵, $[R]$ 为由以 $-R$ 为对角线元素构成的方阵, 表示各电感支路上的电阻. 上述公式的具体推导过程参见文献^[1].

最终整理可得如下形式的系统状态方程:

$$\begin{bmatrix} C & 0 \\ 0 & L \end{bmatrix} \begin{bmatrix} \dot{v} \\ \dot{i} \end{bmatrix} = \begin{bmatrix} G & C_{iv} \\ C_{iv} & C_{ii} \end{bmatrix} \begin{bmatrix} v \\ i \end{bmatrix} + bu(t) \quad (5)$$

其中 v, i 分别是节点电压和支路电流; C, L 分别是各电容单元的互电容矩阵和各支路的互电感矩阵; G 和 C_{ii} 分别是电导和电阻矩阵; C_{iv}, C_{iv} 则分别是节点和电流的连接关系矩阵; b 为激励源的连接矩阵.

2.2 任意形状接地/馈电板的自动单元分割

由于边缘效应, 在工作时接地/馈电板的电流分布将集中于边缘上. 因此在单元分割时是基于图形的边界的(将一块连通的接地/馈电板称作图形). 自动单元分割的思路是: 将整个板(以一面为

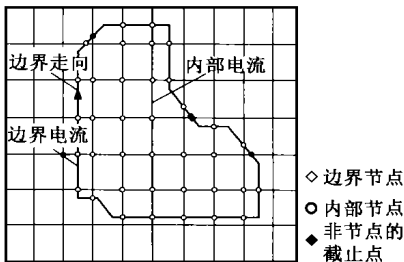


图1 不规则形状单元分割的示意图

例) 按一定的单位以左下顶点为原点画上坐标网格, 以图形边界上与坐标线相交的点为边界节点, 以在图形内部的坐标格点为内部节点. 边界节点由边界电流连接(电流可以有不同方向的几段连接而成), 相同纵、横坐标的节点在图形内部分别由横向、纵向电流连接. 整个算法中均假定图形内部在边界的右边. 这一思路的大意如图 1 所示. 由于每个图形的边界是一封闭曲线, 只需依次对每个图形边界节点和边界电流完成单元分割的工作. 另外位于信号线上的节点和电流的建立, 只需将电路布线描述文件中的数据简单读入即可. 单元分割过程中, 电流和节点间的连接关系即矩阵 $[C_{iv}]$ 和 $[C_{iv}]$ 也同时确定了.

2.3 PME 方法

对于只有线性元件的电路, 在电路分析时只需对状态方程矩阵求逆一次. 对于含非线性元件的电路, 原则上每步迭代都要重新求逆. 但通常非线性元件比之线性元件在数量上少得多, 因此可以用部分高斯消元 (PME) 法^[3] 求解这样的状态方程, 使分析效率明显提高. 用 PEEC 建立了双面共面 PCB 的模型后, 利用上海交通大学编制的高速集成电路通用分析软件 VHHA^[4] 即可进行信号仿真.

3 计算实例与测试结果

如图 2 所示, 为了测试电源与地线的不同走线方式情况下的信号质量, 设计了一组总线, 共有 3 根, 总线长度为

250mm, 总线线宽为 0.2mm, 线间距 0.2mm, 这组总线中的每一根都可以通过电路板右端的拨码开关单独控制, 让它振荡和停振(保持在低电平), 可以测试其他信号单独或一起作用时, 某根信号线作为受害网络时的串扰波形.

用 Agilent 公司的示波器 HP54622D 作为测试设备, 该示波器的采样速率为 200MSa/s, 模拟带宽为 100MHz, 选用无源探头 10074C (输入电容近似 15pF, 输入电阻为 1M 欧) 作为测试探头.

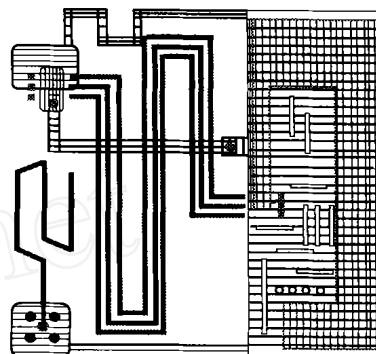


图2 某双面共面测试电路板

在下面图 3 中给出了部分的仿真和实际测试结果. 此时, 各个端口分别连接一个输入或者输出 Buffer, 它们都选用 TI 公司的 LVTH162244 的 IBIS 模型^[5].

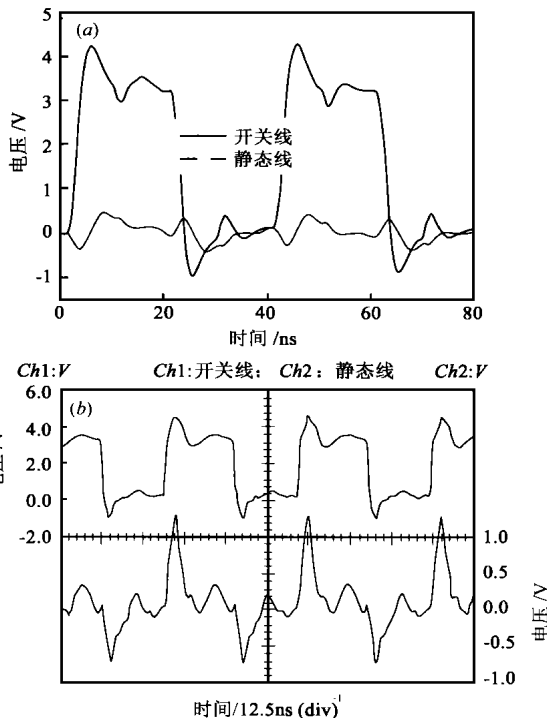


图3 部分仿真及实际测试结果. (a) 总线中两边的二线同时开关时, 各根线上的电压波形仿真结果; (b) 总线中两边的二线同时开关时, 各根线上的电压波形测试结果

从图 3 的结果中可以发现, 主线上电压波形的仿真和测试结果符合较好, 但副线(静态线)上电压波型有一定差别. 这是因为主线电压幅度大, 仿真与测试结果的精度都较高, 而副线电压幅度低, 仿真与测试都较困难. 总体上讲, 仿真与测试结果是相符的, 说明了本文方法的有效性.

(下转第 256 页)

码空间和搜索空间,显著地提高了算法的搜索效率;(2)树结构编码,简化了编码操作,省略了复杂的解码过程;(3)启发式交叉策略,加快了算法收敛的速度;(4)指导性变异过程,既能使算法迅速地跳出局部最优解,也能使算法向性能好的方向转化,进而达到全局最优解.仿真实验证明了上述结论.

参考文献:

- [1] Z. Wang and J. Crowcroft. Quality of service for supporting multimedia applications [J]. IEEE JSAC, 1996, 14(7): 1228 - 1234.
- [2] H. F. Salama, D. S. Reeves and Y. Viniotis. Evaluation of multicast routing algorithms for real-time communication on high-speed networks [J]. IEEE JSAC, 1997, 15(3): 332 - 345.
- [3] F. Xiang, L. Junzhou, W. Jieyi, G. Guanqun. QoS Routing based on genetic algorithm [J]. Computer Communications, 1999, 22(9): 1394 - 1399.
- [4] C. P. Ravikumar, Rajneesh Bajpai. Source-based delay-bounded multicasting in multimedia networks [J]. Computer Communications, 1998, 21(2): 126 - 132.

- [5] 陈国良等. 遗传算法及其应用 [M]. 北京:人民邮电出版社, 1996.

作者简介:



王征应 1974年生,1996年、1998年于哈尔滨工业大学机电一体化专业分别获工学学士、工学硕士学位.现在华中理工大学电子与信息工程系攻读博士学位.研究方向为高速网络的调度技术、路由技术、协议工程和智能网管等.

石冰心 华中理工大学电子与信息工程系教授、博士生导师,长期从事数据通信与计算机网络方面的教学与科研工作.近年来的研究领域是现代信息网络的关键技术及其应用,主要有计算机网络管理系统、计算机网络的规划、设计、仿真与性能分析系统、路由与交换技术以及宽带IP接入网技术等.

(上接第 288 页)

4 结论

本文采用三维电磁参数提取的部分元等效电路方法对高速双面共面结构印刷电路板的不规则布线结构的任意形状接地/馈电板自动分割后的单元建模,用部分高斯消元方法对包括I/O缓冲器在内的非线性电路的状态方程进行时域响应分析.高速双面共面结构印刷电路板电特性仿真结果与实际测试结果吻合得较好,表明了方法的有效性.

参考文献:

- [1] W. Pinello, A. C. Cangellaris and A. Ruehli, Hybrid electromagnetic modeling of noise interactions in packaged electronics based on the partial-element equivalent circuit formulation [J]. IEEE Trans. MTT, 1997, 45(10): 1889 - 1896.
- [2] H. Heeb and A. E. Ruehli, Three-dimensional interconnect analysis using partial element equivalent circuits [J]. IEEE Trans. CAS - I, 1992, 39(11): 974 - 982.
- [3] 蔡兴建,毛军发. PME方法快速仿真HSVLSIC网络[A]. 全国微波毫米波会议论文集[C]. 中国长沙, 1999, (10): 663 - 665.
- [4] 高速集成电路通用分析软件VHIHA开发卷宗[M]. 上海交通大学, 1994.

- [5] W. Hobbs, A. Muranyi, R. Rosenbaum and D. Telian. IBIS: I/O Buffer Information Specification [EB/OL]. Overview <http://www.vhdl.org>, Intel Corporation January 14, 1994.

作者简介:



蔡兴建 1973年生,1995年和1998年在西安电子科技大学分别获得学士学位和硕士学位,1998年至今在上海交通大学电子工程系攻读博士学位.研究方向为高速集成电路系统互连封装系统的电磁分析、电路模拟和优化.



曹毅 1971年生,1994年毕业于上海交通大学电子工程系.1996年和1999年于本系电磁场与微波技术专业分别获得硕士和博士学位,同年起留校任教.主要研究领域为高速集成电路互连与封装系统的参数提取和电磁分析.